

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6219012号
(P6219012)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int.Cl.	F I
A 6 1 B 1/00 (2006.01)	A 6 1 B 1/00 6 8 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B
H 0 4 N 5/225 (2006.01)	H 0 4 N 5/225

請求項の数 11 (全 25 頁)

(21) 出願番号	特願2017-541734 (P2017-541734)	(73) 特許権者	000000376
(86) (22) 出願日	平成29年2月20日 (2017.2.20)		オリンパス株式会社
(86) 国際出願番号	PCT/JP2017/006179		東京都八王子市石川町2951番地
審査請求日	平成29年8月7日 (2017.8.7)	(74) 代理人	100076233
(31) 優先権主張番号	特願2016-152260 (P2016-152260)		弁理士 伊藤 進
(32) 優先日	平成28年8月2日 (2016.8.2)	(74) 代理人	100101661
(33) 優先権主張国	日本国 (JP)		弁理士 長谷川 靖
早期審査対象出願		(74) 代理人	100135932
			弁理士 篠浦 治
		(72) 発明者	安達 美志
			東京都八王子市石川町2951番地 オリ
			ンパス株式会社内
		審査官	増渕 俊仁
			最終頁に続く

(54) 【発明の名称】 内視鏡システムおよび信号処理装置

(57) 【特許請求の範囲】

【請求項 1】

所定クロックにより駆動され動作する撮像素子と、
 外部の信号線から伝送される2つの差動クロック信号を受信するクロック受信部と、
 前記2つの差動クロック信号のうち、一の信号である第1の差動クロック信号を伝送する第1クロック信号線と、
 前記2つの差動クロック信号のうち、他の信号である第2の差動クロック信号を伝送する第2クロック信号線と、
 を備える内視鏡と、
 前記クロック受信部に対して所定の電源供給経路を介して駆動電力を供給する電源部と、
 前記電源部から前記電源供給経路を介して前記クロック受信部に供給する前記駆動電力に係る電流値を検出する電流検出部と、
 生成されたクロック信号を入力し、位相差が互いに反転する前記2つ差動クロック信号に変換して出力する差動信号出力部と、
 前記電流検出部において検出した前記電流値に基づいて、前記内視鏡における前記第1のクロック信号線と前記第2のクロック信号線との少なくとも一方に係る故障状態を判別する故障モード判別部と、
 を備える信号処理装置と、
 を具備することを特徴とする内視鏡システム。

10

20

【請求項 2】

前記故障モード判別部は、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との間の短絡状態が生じているか否かを判別する

ことを特徴とする請求項 1 の内視鏡システム。

【請求項 3】

前記故障モード判別部は、前記内視鏡における前記第 1 のクロック信号線または前記第 2 のクロック信号線における断線状態が生じているか否かを判別する

ことを特徴とする請求項 1 の内視鏡システム。

【請求項 4】

前記故障モード判別部は、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との間の短絡状態、または、前記第 1 のクロック信号線もしくは前記第 2 のクロック信号線における断線状態が生じているか否かを判別する

ことを特徴とする請求項 1 の内視鏡システム。

【請求項 5】

前記電流値に対応したテーブル情報を記憶する記憶部をさらに有し、

前記故障モード判別部は、前記電流検出部において検出した前記電流値と前記記憶部に記憶したテーブル情報とを照合し、当該電流値に対応する前記テーブル情報に基づいて前記故障状態を判別する

ことを特徴とする請求項 1 の内視鏡システム。

【請求項 6】

前記クロック受信部は、前記撮像素子に設けられる

ことを特徴とする請求項 1 の内視鏡システム。

【請求項 7】

所定クロックにより駆動され動作する撮像素子と、外部の信号線から伝送される 2 つの差動クロック信号を受信するクロック受信部と、前記 2 つの差動クロック信号のうち、一の信号である第 1 の差動クロック信号を伝送する第 1 クロック信号線と、前記 2 つの差動クロック信号のうち、他の信号である第 2 の差動クロック信号を伝送する第 2 クロック信号線と、を備える内視鏡を接続する信号処理装置であって、

前記クロック受信部に対して所定の電源供給経路を介して駆動電力を供給する電源部と、

前記電源部から前記電源供給経路を介して前記クロック受信部に供給する前記駆動電力に係る電流値を検出する電流検出部と、

生成されたクロック信号を入力し、位相差が互いに反転する前記 2 つ差動クロック信号に変換して出力する差動信号出力部と、

前記電流検出部において検出した前記電流値に基づいて、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との少なくとも一方に係る故障状態を判別する故障モード判別部と、

を具備することを特徴とする信号処理装置。

【請求項 8】

前記故障モード判別部は、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との間の短絡状態が生じているか否かを判別する

ことを特徴とする請求項 7 の信号処理装置。

【請求項 9】

前記故障モード判別部は、前記内視鏡における前記第 1 のクロック信号線または前記第 2 のクロック信号線における断線状態が生じているか否かを判別する

ことを特徴とする請求項 7 の信号処理装置。

【請求項 10】

前記故障モード判別部は、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との間の短絡状態、または、前記第 1 のクロック信号線もしくは前記第 2 のクロック信号線における断線状態が生じているか否かを判別する

10

20

30

40

50

ことを特徴とする請求項 7 の信号処理装置。

【請求項 11】

前記電流値に対応したテーブル情報を記憶する記憶部をさらに有し、

前記故障モード判別部は、前記電流検出部において検出した前記電流値と前記記憶部に記憶したテーブル情報とを照合し、当該電流値に対応する前記テーブル情報に基づいて前記故障状態を判別する

ことを特徴とする請求項 7 の信号処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、内視鏡システムおよび信号処理装置に関し、所定のクロック信号により駆動される固体撮像素子を有する内視鏡を備える内視鏡システム、および、前記内視鏡に接続される信号処理装置に関する。

【背景技術】

【0002】

被検体の内部の被写体を撮像する内視鏡、及び、内視鏡により撮像された被写体の観察画像を生成する画像処理装置（信号処理装置）等を具備する内視鏡システムが、医療分野及び工業分野等において広く用いられている。

【0003】

このような内視鏡システムにおける内視鏡としては、従来、所定のクロック信号により駆動される固体撮像素子（例えば CMOS イメージセンサ）を採用し、また、この固体撮像素子から出力される撮像信号を伝送するケーブルを内部に配設する内視鏡が知られている。

20

【0004】

この種の内視鏡においては、一般に、上述の如き撮像素子は挿入部の先端部に配設されている。また、この撮像素子へ供給するクロックは、例えば外部の信号処理装置から内視鏡内のケーブルを介して当該撮像素子に対して供給されるようになっている。

【0005】

ここで、信号処理装置から撮像素子へのクロック供給については、前記ケーブルを介して、いわゆる差動信号により伝送する例が知られている。なお、このケーブルには、信号処理装置から撮像素子に対して供給される各種電源の電源経路（例えば、デジタル系電源経路 VCCDIG、アナログ系電源経路 VCCANA、I/O 系電源経路 VCCIO）が内設されるようになっている（図 10、図 11 参照）。

30

【0006】

さらに、内視鏡における撮像素子として、近年、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサを採用する例が提案されている（日本国特開 2006 - 095330 号公報）。

【0007】

ところで、挿入部先端部に配設される前記撮像素子および当該撮像素子を搭載する先端基板は非常に小さいため、物理的にも、当該撮像素子に対して上述したクロック信号が正しく供給されていることを測定または検査することは困難である。

40

【0008】

したがって、係る事情に鑑みて内視鏡先端部側ではなく、クロック信号の送信側（信号処理装置側）において、当該クロック信号の伝送路の状態（例えば、短絡または断線等）を測定または検査を行うことが考えられる。

【0009】

ここで、比較するために、信号処理装置から撮像素子に供給する電源経路を想定するに、例えば、信号処理装置側において過電流検知回路（図 10 参照；内視鏡システム 901 における内視鏡 902 に接続される信号処理装置 903 内の過電流検知回路 68 参照）を設けることで、電源経路上における短絡（ショート）状態を検出することは可能となる。

50

【 0 0 1 0 】

これに対して、上述の如きクロック信号伝送経路（差動信号伝送経路）においては、クロックを差動信号により伝送する際（図 1 0、図 1 1 参照）、当該差動信号伝送路間の短絡（ショート）が生じたとしても、DC 電流が流れることがないため送信側（信号処理装置側）で検出することは難しい。

【 0 0 1 1 】

具体的に、例えば、図 1 1 に示すように、内視鏡システム 9 1 1 における内視鏡 9 1 2 に接続される信号処理装置 9 1 3 側において、クロック信号伝送経路上に検出部 6 9 a、6 9 b を設けたとする。しかしながら、当該差像信号伝送路において差動クロック信号は互いに反転した信号であるために、差像信号伝送路間が短絡したとしても、当該伝送路上に DC 電流が流れることがない。

10

【 0 0 1 2 】

したがって、たとえ当該伝送経路上に検出部 6 9 a、6 9 b を設けたとしても、短絡状態を有効に検出することは困難であると考えられる。

【 0 0 1 3 】

一方、上述の如きクロック信号伝送経路（差動信号伝送経路）においていずれかの箇所で断線（オープン）が生じたとする。上述したように、内視鏡の撮像素子として CMOS イメージセンサを採用する場合、もともと入力インピーダンスが高いことから（換言すれば、差動信号伝送路はハイインピーダンスで終端されることから）、差動信号伝送路が断線（オープン）状態になったとしても電流値に変化がなく送信側（信号処理装置側）における検知は困難であると考えられる。

20

【 0 0 1 4 】

さらに、内視鏡システムにおいて出画検査を行うときに、クロック信号の伝送路が短絡（ショート）または断線（オープン）状態となった場合でも撮像素子が動作する虞があり、係る観点からもクロック信号が撮像素子に正常に到達できているか否かについては、正確に検出することが求められる。

【 0 0 1 5 】

本発明は上述した事情に鑑みてなされたものであり、撮像素子に供給するクロック信号の伝送路における故障状態を、クロック信号の伝送路を直接測定することなく検出することができる内視鏡システムおよび信号処理装置を提供することを目的とする。

30

【 発明の開示 】

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明の一態様の内視鏡システムは、所定クロックにより駆動され動作する撮像素子と、前記撮像素子に設けられ、外部の信号線から伝送される 2 つの差動クロック信号を受信するクロック受信部と、前記 2 つの差動クロック信号のうち、一の信号である第 1 の差動クロック信号を伝送する第 1 クロック信号線と、前記 2 つの差動クロック信号のうち、他の信号である第 2 の差動クロック信号を伝送する第 2 クロック信号線と、を備える内視鏡と、前記クロック受信部に対して所定の電源供給経路を介して駆動電力を供給する電源部と、前記電源部から前記電源供給経路を介して前記クロック受信部に供給する前記駆動電力に係る電流値を検出する電流検出部と、生成されたクロック信号を入力し、位相差が互いに反転する前記 2 つ差動クロック信号に変換して出力する差動信号出力部と、前記電流検出部において検出した前記電流値に基づいて、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との少なくとも一方に係る故障状態を判別する故障モード判別部と、を備える信号処理装置と、を具備する。

40

【 0 0 1 7 】

本発明の一態様の信号処理装置は、所定クロックにより駆動され動作する撮像素子と、前記撮像素子に設けられ、外部の信号線から伝送される 2 つの差動クロック信号を受信するクロック受信部と、前記 2 つの差動クロック信号のうち、一の信号である第 1 の差動クロック信号を伝送する第 1 クロック信号線と、前記 2 つの差動クロック信号のうち、他の

50

信号である第 2 の差動クロック信号を伝送する第 2 クロック信号線と、を備える内視鏡を接続する信号処理装置であって、前記クロック受信部に対して所定の電源供給経路を介して駆動電力を供給する電源部と、前記電源部から前記電源供給経路を介して前記クロック受信部に供給する前記駆動電力に係る電流値を検出する電流検出部と、生成されたクロック信号を入力し、位相差が互いに反転する前記 2 つ差動クロック信号に変換して出力する差動信号出力部と、前記電流検出部において検出した前記電流値に基づいて、前記内視鏡における前記第 1 のクロック信号線と前記第 2 のクロック信号線との少なくとも一方に係る故障状態を判別する故障モード判別部と、を具備する。

【図面の簡単な説明】

【 0 0 1 8 】

10

【図 1】図 1 は、本発明の第 1 の実施形態の内視鏡システムの構成を示す図である。

【図 2】図 2 は、第 1 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な概略構成を示すブロック図である。

【図 3】図 3 は、第 1 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【図 4】図 4 は、本発明の第 2 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【図 5】図 5 は、本発明の第 3 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【図 6】図 6 は、本発明の第 4 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

20

【図 7】図 7 は、本発明の第 5 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【図 8】図 8 は、本発明の第 6 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【図 9】図 9 は、本発明の第 7 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【図 1 0】図 1 0 は、従来の内視鏡システムの電氣的な一構成例を示すブロック図である。

【図 1 1】図 1 1 は、従来の内視鏡システムの電氣的な他の構成例を示すブロック図である。

30

【発明を実施するための最良の形態】

【 0 0 1 9 】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 2 0 】

< 第 1 の実施形態 >

図 1 は、本発明の第 1 の実施形態の内視鏡システムの構成を示す図であり、図 2 は、第 1 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な概略構成を示すブロック図であり、図 3 は、第 1 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

40

【 0 0 2 1 】

図 1、図 2 に示すように、本第 1 の実施形態の内視鏡システム 1 は、被検体の観察し撮像する内視鏡 2 と、当該内視鏡 2 に接続され前記撮像信号を入力し所定の画像処理を施す信号処理装置であるビデオプロセッサ 3 と、被検体を照明するための照明光を供給する光源装置 4 と、撮像信号に応じた観察画像を表示するモニタ装置 5 と、を有している。

【 0 0 2 2 】

内視鏡 2 は、被検体の体腔内等に挿入される細長の挿入部 6 と、挿入部 6 の基端側に配設され術者が把持して操作を行う内視鏡操作部 1 0 と、内視鏡操作部 1 0 の側部から延出するように一方の端部が設けられたユニバーサルコード 4 1 と、を有して構成されている。

50

【 0 0 2 3 】

挿入部 6 は、先端側に設けられた硬質の先端部 7 と、先端部 7 の後端に設けられた湾曲自在の湾曲部 8 と、湾曲部 8 の後端に設けられた長尺かつ可撓性を有する可撓管部 9 と、を有して構成されている。

【 0 0 2 4 】

前記ユニバーサルコード 4 1 の基端側にはコネクタ 4 2 が設けられ、当該コネクタ 4 2 は光源装置 4 に接続されるようになっている。すなわち、コネクタ 4 2 の先端から突出する流体管路の接続端部となる口金（図示せず）と、照明光の供給端部となるライトガイド口金（図示せず）とは光源装置 4 に着脱自在で接続されるようになっている。

【 0 0 2 5 】

さらに、前記コネクタ 4 2 の側面に設けた電気接点部には接続ケーブル 4 3 の一端が接続されるようになっている。この接続ケーブル 4 3 には、例えば内視鏡 2 における撮像素子 2 1（図 2 参照）からの撮像信号を伝送する信号線が内設され、また、他端のコネクタ部はビデオプロセッサ 3 に接続されるようになっている。

【 0 0 2 6 】

なお、前記コネクタ 4 2 には、当該内視鏡 2 における固有の所定 I D 情報を記憶した記憶部等（図示せず）を有したコネクタ回路 2 2 が配設されている。

【 0 0 2 7 】

また、挿入部 6 の先端部 7 には、被写体像を入光するレンズを含む対物光学系（図示せず）と、当該対物光学系における結像面に配置された撮像素子 2 1 と、当該撮像素子 2 1 を備える撮像基板 2 0 と、が配設されている。

【 0 0 2 8 】

さらに内視鏡 2 には、撮像素子 2 1 から延出され、当該撮像素子 2 1 から挿入部 6、操作部 1 0、ユニバーサルコード 4 1 を経て、前記コネクタ 4 2 に至るまで延設されたケーブル 2 3（図 2 参照）が配設されている。

【 0 0 2 9 】

以下、本第 1 の実施形態の内視鏡システム 1 における内視鏡 2 およびビデオプロセッサ 3 の電氣的構成について、図 2 および図 3 を参照して説明する。

【 0 0 3 0 】

図 2 に示すように、内視鏡 2 は、ビデオプロセッサ 3 に接続されるコネクタ 4 2 に内設されるコネクタ回路 2 2（図示せず）と、内視鏡 2 における挿入部 6 の先端部 7 に配設された撮像素子 2 1 と、これらコネクタ回路 2 2 と撮像基板 2 0 に配設された撮像素子 2 1 とを接続するケーブル 2 3 と、を有する。

【 0 0 3 1 】

なお本実施形態において前記撮像素子 2 1 としては、C M O S (Complementary Metal Oxide Semiconductor) イメージセンサにより構成される固体撮像素子を採用する。

【 0 0 3 2 】

ケーブル 2 3 は、撮像素子 2 1 から延出され、当該撮像素子 2 1 から挿入部 6、操作部 1 0、ユニバーサルコード 4 1 を経て、前記コネクタ 4 2 におけるコネクタ回路 2 2 に至るまで延設される（図 1 参照）。

【 0 0 3 3 】

ここでケーブル 2 3 は、ビデオプロセッサ 3 から伝送される 2 つの差動クロック信号のうち、一の信号である第 1 差動クロック信号（C L K +）を伝送する第 1 クロック信号線 7 1 a と、他の信号である第 2 差動クロック信号（C L K -）を伝送する第 2 クロック信号線 7 1 b を内包する。

【 0 0 3 4 】

前記第 1 クロック信号線 7 1 a は、ビデオプロセッサ 3 に配設されたクロック出力部 6 4 a と、撮像素子 2 1 におけるクロック入力部 5 8 における第 1 バッファ 5 8 a とを接続する。なお、クロック出力部 6 4 a 並びにクロック入力部 5 8 および第 1 バッファ 5 8 a については、後に詳述する。

10

20

30

40

50

【 0 0 3 5 】

また、前記第 2 クロック信号線 7 1 b は、ビデオプロセッサ 3 に配設されたクロック出力部 6 4 b と、撮像素子 2 1 における前記クロック入力部 5 8 における第 2 バッファ 5 8 b とを接続する。なお、クロック出力部 6 4 b 並びにクロック入力部 5 8 および第 2 バッファ 5 8 b については、後に詳述する。

【 0 0 3 6 】

なお、ケーブル 2 3 は、前記第 1 クロック信号線 7 1 a および第 2 クロック信号線 7 1 b の他、ビデオプロセッサ 3 から撮像素子 2 1 に対して供給される各種電源経路（本実施形態においては、デジタル系電源経路 V C C D I G、アナログ系電源経路 V C C A N A、I / O 系電源経路 V C C I / O）、制御信号線 7 2 および撮像信号線 7 3 を内包する（制御信号線 7 2 および撮像信号線 7 3 については、後に説明する）。 10

【 0 0 3 7 】

前記撮像素子 2 1 は、入射光に応じて光を光電変換して信号電荷を生成する複数の光電変換部であるフォトダイオード（P D）を有する撮像部 5 1（図 2 においては、Imaging Pixel Array と表記）を有する。

【 0 0 3 8 】

さらに撮像素子 2 1 は、ケーブル 2 3 内の前記第 1 クロック信号線 7 1 a および第 2 クロック信号線 7 1 b に接続されたクロック入力部 5 8 と、当該クロック入力部 5 8 の出力端に接続された P L L（phase locked loop）5 7 と、ケーブル 2 3 内の制御信号線 7 2 に接続されたタイミングジェネレータ 5 6 と、を有する。 20

【 0 0 3 9 】

前記クロック入力部 5 8 は、上述したように、前記第 1 クロック信号線 7 1 a が接続される第 1 バッファ 5 8 a と、前記第 2 クロック信号線 7 1 b が接続される第 2 バッファ 5 8 b とを有する。

【 0 0 4 0 】

また、第 1 バッファ 5 8 a および第 2 バッファ 5 8 b には、ビデオプロセッサ 3 から供給される各種電源経路のうち、I / O 系電源経路 V C C I / O を介して所定の電力（電源電圧 V C C I / O）が供給されるようになっている。

【 0 0 4 1 】

なお、第 1 クロック信号線 7 1 a および第 2 クロック信号線 7 1 b は、撮像素子 2 1 内においては、それぞれ第 1 クロック信号ライン 5 9 a（C L K +）、第 2 クロック信号ライン 5 9 b（C L K -）として延設され、それぞれ第 1 バッファ 5 8 a と第 2 バッファ 5 8 b とのそれぞれ入力端に接続されるようになっている。 30

【 0 0 4 2 】

ここでクロック入力部 5 8（第 1 バッファ 5 8 a および第 2 バッファ 5 8 b）は、ビデオプロセッサ 3 から伝送される 2 つの差動クロック信号を受信するクロック受信部としての役目を果たす。

【 0 0 4 3 】

撮像素子 2 1 において、前記 P L L 5 7 は、いわゆる位相同期回路であり、クロック入力部 5 8 において入力したクロックを所定数倍に逡倍し、上述した撮像部 5 1 の他、撮像素子 2 1 内の各部に供給するようになっている。 40

【 0 0 4 4 】

タイミングジェネレータ 5 6 は、ケーブル 2 3 内の制御信号線 7 2 を介して伝送された制御信号（垂直同期信号、水平同期信号等の駆動信号）を受け、所定のタイミングパルス信号を生成し、撮像部 5 1 の他、撮像素子 2 1 内の各部に供給するようになっている。なお、当該制御信号は、本実施形態においては、いわゆる I 2 C（Inter-Integrated Circuit）により伝送されるようになっている。

【 0 0 4 5 】

一方、撮像素子 2 1 は、撮像部 5 1 の出力に接続された A F E（アナログフロントエンド）を有する。この A F E は、図示しない C D S（Correlation Double Sampling；相関 50

二重サンプリング)の他、アナログアンプ部(Analog AMP)52、A/D変換部(ADC)53等を含み、タイミングジェネレータ56からのタイミングパルス信号に制御され、撮像部51からのアナログ撮像信号をデジタル信号に変換する。

【0046】

さらに撮像素子21は、AFEによってA/D変換されたデジタル撮像信号に対して所定の処理を施すデジタル処理部(Digital Processing)54と、当該デジタル処理部54から出力されたパラレルの撮像信号を所定のシリアル信号に変換するP/S変換部55と、を有する。

【0047】

このP/S変換部55においてパラレルシリアル変換された信号をシリアル撮像信号は、ケーブル23内の撮像信号線73を介してビデオプロセッサ3におけるFPGA61に向けて伝送されるようになっている。

【0048】

前記制御信号線72は、ビデオプロセッサ3におけるFPGA61(後に詳述する)と撮像素子21におけるタイミングジェネレータ56とを接続し、撮像信号線73は、ビデオプロセッサ3におけるS/P変換部62と撮像素子21におけるP/S変換部55とを接続するようになっている。

【0049】

一方、ビデオプロセッサ3には、挿入部先端部7に配設された撮像素子21を駆動するための上述した差動クロック信号および同期信号等の制御信号を生成する機能を有し、FPGA61、水晶発振器(VCXO)63、第1クロック信号出力部64aおよび第2クロック信号出力部64bを有する。

【0050】

また、ビデオプロセッサ3は、内視鏡2における撮像素子21に対して所定の駆動電力を供給するほか、各種回路に電力を供給するための電源部67を有する。

【0051】

さらに、ビデオプロセッサ3は、前記電源部67における一出力端であって、前記クロック入力部58に対して所定の駆動電力を供給するための電源供給経路(VCCI/O)のハイサイド側に配設された電流検出器66と、当該電源供給経路におけるグランド端65を有する。

【0052】

前記水晶発振器VCXO(Voltage-Controlled Crystal Oscillator)63(以下、VCXO63)は、電圧制御水晶発振器であり所定の第1クロックCLK1を生成し出力するようになっている。

【0053】

前記電流検出器66は、前記電源部67から前記電源供給経路(VCCI/O)を介して前記クロック受信部(クロック入力部58)に供給する前記駆動電力に係る電流値を検出する電流検出部の一部を構成する。

【0054】

また、本第1の実施形態において当該電流検出器66は、具体的には図3に示すようにシャント抵抗166により構成される。このシャント抵抗166は、例えば、数十mΩ~数百mΩの抵抗値を示す抵抗により構成され、電源部67からの電源供給経路(VCCI/O)上に直列に挿入される。

【0055】

また、当該シャント抵抗166の両端はFPGA61内の電流検出回路61aに接続され、当該電流検出回路61aによりシャント抵抗166の電圧降下値、すなわち電流値が検出されるようになっている。

【0056】

前記FPGA61は、いわゆるFPGA(Field Programmable Gate Array)により構成され、撮像素子21の駆動、および、撮像素子21からの撮像信号の処理等の機能の他

10

20

30

40

50

、当該ビデオプロセッサ 3 および内視鏡 2 における各種回路を制御する機能を備える。

【 0 0 5 7 】

F P G A 6 1 は、まず、V C X O 6 3 において生成された第 1 クロック信号 (C L K 1) を入力し撮像素子 2 1 を駆動するためにクロック信号 (第 2 クロック ; C L K 3) を生成する機能を有する。

【 0 0 5 8 】

ここで F P G A 6 1 は、図示しない P L L (phase locked loop) 回路を備える。そして、当該 P L L 回路において、V C X O 6 3 から第 1 クロック C L K 1 を受け、当該第 1 クロックを所定数倍に逡倍した C L K 2 を出力する。

【 0 0 5 9 】

F P G A 6 1 は、さらに当該 C L K 2 に対して所定の処理を施し、撮像素子 2 1 を駆動するためにクロック信号 (第 2 クロック ; C L K 3) を生成し、第 1 クロック信号出力部 6 4 a および第 2 クロック信号出力部 6 4 b に対して出力するようになっている。

【 0 0 6 0 】

なお、F P G A 6 1 は、V C X O 6 3 において生成された第 1 クロック信号を入力し、位相差が互いに反転する 2 つ差動クロック信号に変換して出力する差動信号出力部の一部を構成する。

【 0 0 6 1 】

さらに F P G A 6 1 は、前記電流検出器 6 6 に接続された電流検出回路 6 1 a が形成され、前記電流検出器 6 6 と相俟って、前記電源部 6 7 から前記電源供給経路 (V C C I / O) を介して前記クロック受信部 (クロック入力部 5 8) に供給する前記駆動電力に係る電流値を検出する電流検出部を構成する。

【 0 0 6 2 】

さらに F P G A 6 1 は、前記電流検出回路 6 1 a (電流検出部) において検出した前記電流値に基づいて、前記内視鏡における前記第 1 クロック信号線 7 1 a と前記第 2 クロック信号線 7 1 b との少なくとも一方に係る故障状態を判別する故障モード判別部を形成するようになっている。

【 0 0 6 3 】

より具体的に F P G A 6 1 における「故障モード判別部」は、まず、第 1 クロック信号線 7 1 a と第 2 クロック信号線 7 1 b との間の短絡状態 (または第 1 クロック信号ライン 5 9 a と第 2 クロック信号ライン 5 9 b との間の短絡状態) が生じているか否かを判別可能となっている。

【 0 0 6 4 】

さらに、F P G A 6 1 における「故障モード判別部」は、第 1 クロック信号線 7 1 a もしくは第 2 クロック信号線 7 1 b における断線状態 (または第 1 クロック信号ライン 5 9 a もしくは第 2 クロック信号ライン 5 9 b の断線状態) が生じているか否かを判別可能となっている。

【 0 0 6 5 】

加えて F P G A 6 1 は、I 2 C 伝送のマスタとして各種同期信号等の制御信号の生成機能、撮像素子 2 1 から入力したデジタル撮像信号に係る映像処理機能等が形成されるようになっている。

【 0 0 6 6 】

前記第 1 クロック信号出力部 6 4 a および第 2 クロック信号出力部 6 4 b は、上述したように、いずれも F P G A 6 1 からの第 2 クロック C L K 3 を入力する。

【 0 0 6 7 】

そして第 1 クロック信号出力部 6 4 a は、当該第 2 クロック C L K 3 を第 1 差動クロック信号 (C L K +) として、第 1 クロック信号線 7 1 a に向けて出力する。一方、第 2 クロック信号出力部 6 4 b はインバータで構成され、前記第 2 クロック C L K 3 を反転させたクロック信号第 2 差動クロック信号 (C L K -) として、第 2 クロック信号線 7 1 b に向けて出力する。

10

20

30

40

50

【0068】

ここで、第1差動クロック信号(CLK+)と第2差動クロック信号(CLK-)とは、位相差が互いに反転したクロック信号であり、そのDCバイアスレベルは互いに同じレベルとなるように設定されている。

【0069】

すなわち、本実施形態においては、第1クロック信号線71aおよび第2クロック信号線71bにおいて、差動クロック信号を差動伝送するようになっている。

【0070】

なお、FPGA61は、生成された第1クロック信号を入力し、位相差が互いに反転する2つ差動クロック信号に変換して出力する差動信号出力部の一部を構成する。

10

【0071】

S/P変換部62は、撮像信号線73を介して入力したシリアルデジタル撮像信号を所定のパラレル信号に変換するシリアルパラレル変換機能を有する。

【0072】

次に、本実施形態の作用について説明する。

【0073】

<第1クロック信号線と第2クロック信号線との間の短絡(ショート)>

上述したように、第1クロック信号線71a(第1クロック信号ライン59a)上において伝送される第1差動クロック信号(CLK+)と、第2クロック信号線71b(第2クロック信号ライン59b)において伝送される第2差動クロック信号(CLK-)とは、DCバイアスレベルが同じレベルに設定された、互いに位相差が反転したクロック信号である。

20

【0074】

今、第1クロック信号線71aにおける第1クロック信号ライン59aと、第2クロック信号線71bにおける第2クロック信号ライン59bとの間で短絡(ショート)が生じたとする(図2、図3参照)。

【0075】

この場合、第1差動クロック信号(CLK+)と第2差動クロック信号(CLK-)とのDCバイアスレベルは同じレベルに設定されているため、例えば、第1クロック信号出力部64aおよび第2クロック信号出力部64bにおいて消費電流はほぼ変化しないこととなる。また、第1クロック信号ライン59aおよび第2クロック信号ライン59bにおいて、第1差動クロック信号(CLK+)および第2差動クロック信号(CLK-)共に、その振幅は消失、または、大幅に減衰した特性となる。

30

【0076】

このとき、第1バッファ58aおよび第2バッファ58bにおいては、入力する第1差動クロック信号(CLK+)および第2差動クロック信号(CLK-)が、いずれもコンレレベル付近に留まり続けるため、バッファ自体の貫通電流が大きくなる。

【0077】

これは換言すれば、第1バッファ58aおよび第2バッファ58bに供給されるVCCI/O経路の電流値が大きくなることを意味する。

40

【0078】

本実施形態においては、当該VCCI/O経路に挿入された電流検出器66(本実施形態においては、シャント抵抗166)およびFPGA61における電流検出回路61aにより、このVCCI/O経路に流れる電流値を測定・検出する。

【0079】

さらに、FPGA61に形成した前記「故障モード判別部」において、前記電流検出回路61a(電流検出部)において検出した前記電流値に基づいて、第1クロック信号ライン59a(第1クロック信号線71a)と第2クロック信号ライン59b(第2クロック信号線71b)との短絡(ショート)状態の発生の有無を判別する。

【0080】

50

< 第 1 クロック信号線または第 2 クロック信号線における断線（オープン） >

今度は、第 1 クロック信号線 7 1 a における第 1 クロック信号ライン 5 9 a、または、第 2 クロック信号線 7 1 b における第 2 クロック信号ライン 5 9 b のいずれかのラインにおいて断線（オープン）が生じたとする（図 2、図 3 参照）。

【 0 0 8 1 】

この場合、断線（オープン）が生じた側の第 1 バッファ 5 8 a または第 2 バッファ 5 8 b において、入力が中間ノードまたは自己バイアス付近に留まり続けるため、やはり上記短絡の場合と同様に、断線が生じた側のバッファ自体の貫通電流が大きくなる。

【 0 0 8 2 】

すなわち、上記同様に、第 1 バッファ 5 8 a または第 2 バッファ 5 8 b に供給される V C C I / O 経路の電流値が大きくなること意味する。

【 0 0 8 3 】

そして、上記同様に、V C C I / O 経路に挿入された電流検出器 6 6（本実施形態においては、シャント抵抗 1 6 6）および F P G A 6 1 における電流検出回路 6 1 a により、この V C C I / O 経路に流れる電流値を測定・検出する。

【 0 0 8 4 】

さらに、F P G A 6 1 に形成した前記「故障モード判別部」において、前記電流検出回路 6 1 a（電流検出部）において検出した前記電流値に基づいて、第 1 クロック信号ライン 5 9 a（第 1 クロック信号線 7 1 a）または第 2 クロック信号ライン 5 9 b（第 2 クロック信号線 7 1 b）における断線（オープン）状態の発生の有無を判別する。

【 0 0 8 5 】

上述したように、本実施形態によると、第 1、第 2 クロック信号線 7 1 a、7 1 b（第 1、第 2 クロック信号ライン 5 9 a、5 9 b）上を伝送する差動クロック信号（第 1 差動クロック信号（C L K +）または第 2 差動クロック信号（C L K -））について直接モニタするのでなく、当該差動クロック信号の入力部である撮像素子 2 1 のクロック入力部 5 8 a、5 8 b を駆動する電力（電源電圧）の供給ライン（V C C I / O）の電流値を検出することにより、信号処理装置（ビデオプロセッサ 3）から内視鏡 2 の撮像素子 2 1 に伝送する差動クロック信号の故障（短絡（ショート）または断線（オープン））を的確に検出することができる。

【 0 0 8 6 】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。

【 0 0 8 7 】

図 4 は、本発明の第 2 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【 0 0 8 8 】

本第 2 の実施形態の内視鏡システムは、その基本的な構成は第 1 の実施形態と同様であり、電流検出器 6 6 の構成を異にするものである。

【 0 0 8 9 】

したがって、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【 0 0 9 0 】

図 4 に示すように、第 2 の実施形態の内視鏡システム 2 0 1 は、内視鏡 2 0 2 に接続されるビデオプロセッサ 2 0 3 において、第 1 の実施形態における電流検出器 6 6 の代わりに、電源部 6 7 からの V C C I / O 経路にカレントトランス 2 6 6 を配設する。

【 0 0 9 1 】

このカレントトランス 2 6 6 は、強磁性体のコア材に電線を巻いた中空のコイルにより構成され、中空部分に測定対象の信号線を挿通することで、接続される電流検出回路 6 1 a と相まって、当該信号線の電流を測定することが可能となっている。すなわち、信号線に非接触で、当該信号線に流れる電流値を測定。検出することができる。

10

20

30

40

50

【 0 0 9 2 】

本第 2 の実施形態においても、上記第 1 の実施形態と同様に、V C C I / O 経路に挿入されたカレントトランス 2 6 6 と、前記 F P G A 6 1 における電流検出回路 6 1 a とにより、V C C I / O 経路に流れる電流値を測定・検出する。

【 0 0 9 3 】

そして、第 1 の実施形態と同様に、F P G A 6 1 に形成した前記「故障モード判別部」において、前記電流検出回路 6 1 a (電流検出部)において検出した前記電流値に基づいて、第 1 クロック信号ライン 5 9 a (第 1 クロック信号線 7 1 a)と第 2 クロック信号ライン 5 9 b (第 2 クロック信号線 7 1 b)との短絡(ショート)状態の発生、または、第 1 クロック信号ライン 5 9 a (第 1 クロック信号線 7 1 a)もしくは第 2 クロック信号ラ

10

【 0 0 9 4 】

上述したように、本第 2 の実施形態によると、第 1 の実施形態と同様に、第 1、第 2 クロック信号線 7 1 a、7 1 b (第 1、第 2 クロック信号ライン 5 9 a、5 9 b)上を伝送する差動クロック信号(第 1 差動クロック信号(C L K +)または第 2 差動クロック信号(C L K -))について直接モニタするのでなく、当該差動クロック信号の入力部である撮像素子 2 1 のクロック入力部 5 8 a、5 8 b を駆動する電力の供給ライン(V C C I / O)の電流値を検出することにより、信号処理装置(ビデオプロセッサ 3)から内視鏡 2 の撮像素子 2 1 に伝送する差動クロック信号の故障(短絡(ショート)または断線(オー

20

【 0 0 9 5 】

< 第 3 の実施形態 >

次に、本発明の第 3 の実施形態について説明する。

【 0 0 9 6 】

図 5 は、本発明の第 3 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電気的な構成を示すブロック図である。

【 0 0 9 7 】

本第 3 の実施形態の内視鏡システムは、その基本的な構成は第 1 の実施形態と同様であり、電流検出器 6 6 の構成を異にするものである。

30

【 0 0 9 8 】

したがって、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【 0 0 9 9 】

図 5 に示すように、第 3 の実施形態の内視鏡システム 3 0 1 は、内視鏡 3 0 2 に接続されるビデオプロセッサ 3 0 3 において、第 1 の実施形態における電流検出器 6 6 の代わりに、電源部 6 7 からの V C C I / O 経路にホール電流センサ 3 6 6 を配設する。

【 0 1 0 0 】

このホール電流センサ 3 6 6 は、被測定電流に比例した磁束密度を測定するセンサであって、接続される電流検出回路 6 1 a と相まって、当該信号線の電流を測定することが可能となっている。すなわち、このホール電流センサ 3 6 6 も、第 2 の実施形態と同様に、信号線に非接触で、当該信号線に流れる電流値を測定。検出することができる。

40

【 0 1 0 1 】

本第 3 の実施形態においても、上記第 1、第 2 の実施形態と同様に、V C C I / O 経路に挿入されたホール電流センサ 3 6 6 と、前記 F P G A 6 1 における電流検出回路 6 1 a とにより、V C C I / O 経路に流れる電流値を測定・検出する。

【 0 1 0 2 】

そして、第 1 の実施形態と同様に、F P G A 6 1 に形成した前記「故障モード判別部」において、前記電流検出回路 6 1 a (電流検出部)において検出した前記電流値に基づいて、第 1 クロック信号ライン 5 9 a (第 1 クロック信号線 7 1 a)と第 2 クロック信号ラ

50

イン 5 9 b (第 2 クロック信号線 7 1 b) との短絡 (ショート) 状態の発生、または、第 1 クロック信号ライン 5 9 a (第 1 クロック信号線 7 1 a) もしくは第 2 クロック信号ライン 5 9 b (第 2 クロック信号線 7 1 b) における断線 (オープン) 状態の発生の有無を判別する。

【 0 1 0 3 】

上述したように、本第 3 の実施形態によると、第 1、第 2 の実施形態と同様に、第 1、第 2 クロック信号線 7 1 a、7 1 b (第 1、第 2 クロック信号ライン 5 9 a、5 9 b) 上を伝送する差動クロック信号 (第 1 差動クロック信号 (CLK+) または第 2 差動クロック信号 (CLK-)) について直接モニタするのでなく、当該差動クロック信号の入力部である撮像素子 2 1 のクロック入力部 5 8 a、5 8 b を駆動する電力の供給ライン (VCC I/O) の電流値を検出することにより、信号処理装置 (ビデオプロセッサ 3) から内視鏡 2 の撮像素子 2 1 に伝送する差動クロック信号の故障 (短絡 (ショート) または断線 (オープン)) を的確に検出することができる。

10

【 0 1 0 4 】

< 第 4 の実施形態 >

次に、本発明の第 4 の実施形態について説明する。

【 0 1 0 5 】

図 6 は、本発明の第 4 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【 0 1 0 6 】

20

本第 4 の実施形態の内視鏡システムは、その基本的な構成は第 1 の実施形態と同様であり、電流検出器 6 6 の配設位置を異にするものである。

【 0 1 0 7 】

したがって、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【 0 1 0 8 】

上述したように、第 1 の実施形態においては、電源部 6 7 から出力される VCC I/O 経路におけるハイサイド側に電流検出器 6 6 (シャント抵抗 1 6 6) を挿入した。これに対して第 4 の実施形態の内視鏡システム 4 0 1 は、図 6 に示すように、内視鏡 4 0 2 に接続されるビデオプロセッサ 4 0 3 において、VCC I/O 経路におけるグランド側にシャント抵抗 4 6 6 を挿入したことを特徴とする。

30

【 0 1 0 9 】

このような構成をなす本第 4 の実施形態においても、上記第 1 の実施形態と同様の作用効果を奏する。

【 0 1 1 0 】

< 第 5 の実施形態 >

次に、本発明の第 5 の実施形態について説明する。

【 0 1 1 1 】

図 7 は、本発明の第 5 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

40

【 0 1 1 2 】

本第 5 の実施形態の内視鏡システムは、その基本的な構成は第 1 の実施形態と同様であり、クロック入力部 5 8 の配設箇所を異にするものである。

【 0 1 1 3 】

したがって、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【 0 1 1 4 】

上述したように、第 1 の実施形態の内視鏡システム 1 において前記クロック入力部 5 8 は、撮像素子 2 1 の内部に設けられる構成とした。これに対して第 5 の実施形態の内視鏡システム 5 0 1 においては、図 7 に示すように、前記クロック入力部 5 8 と同様の構成を

50

なすクロック入力部 558 が、撮像素子 521 の外部に配設される。

【0115】

すなわち、第 5 の実施形態の内視鏡システム 501 は、内視鏡 502 における先端部 7 に、撮像基板 520 を配設する。そしてこの撮像基板 520 に、前記撮像素子 521 と、当該撮像素子 521 の入力クロック部であるクロック入力部 558 と、が配設されるようになっている。

【0116】

前記クロック入力部 558 は、第 1 の実施形態におけるクロック入力部 58 と同様の構成をなし、また、同様の作用をなす。

【0117】

以下、本第 5 の実施形態におけるクロック入力部 558 について詳しく説明する。

【0118】

第 5 の実施形態において前記クロック入力部 558 は、第 1 の実施形態と同様に、前記第 1 クロック信号線 71a が接続される第 1 バッファ 558a と、前記第 2 クロック信号線 71b が接続される第 2 バッファ 558b とを有する。

【0119】

第 5 の実施形態においても第 1 バッファ 558a および第 2 バッファ 558b には、ビデオプロセッサ 3 から供給される各種電源経路のうち、I/O 系電源経路 VCCI/O を介して所定の電力（電源電圧 VCCI/O）が供給されるようになっている。

【0120】

なお、第 1 クロック信号線 71a および第 2 クロック信号線 71b は、撮像基板 520 内においては、それぞれ第 1 クロック信号ライン 559a (CLK+)、第 2 クロック信号ライン 559b (CLK-) として延設され、それぞれ第 1 バッファ 558a と第 2 バッファ 558b とのそれぞれ入力端に接続されるようになっている。

【0121】

ここでクロック入力部 558（第 1 バッファ 558a および第 2 バッファ 558b）は、第 1 の実施形態と同様に、ビデオプロセッサ 3 から伝送される 2 つの差動クロック信号を受信するクロック受信部としての役目を果たす。

【0122】

なお、第 5 の実施形態の内視鏡システム 501 において、撮像素子 521 における、撮像部 51、アナログアンプ部 52、AD 変換部 53、デジタル処理部 54、P/S 変換部 55、タイミングジェネレータ 56 および PLL 57 等について、第 1 の実施形態と同様の構成、作用をなすので、ここでの詳しい説明は省略する。

【0123】

また、ビデオプロセッサ 3 についても、第 1 の実施形態と同様の構成、作用をなすのでここでの詳しい説明は省略するが、第 5 の実施形態においても FPG 61 における「故障モード判別部」は、まず、第 1 クロック信号線 71a と第 2 クロック信号線 71b との間の短絡状態（または第 1 クロック信号ライン 559a と第 2 クロック信号ライン 559b との間の短絡状態）が生じているか否かを判別可能となっている。

【0124】

さらに、第 5 の実施形態において FPG 61 における「故障モード判別部」は、第 1 クロック信号線 71a もしくは第 2 クロック信号線 71b における断線状態（または第 1 クロック信号ライン 559a もしくは第 2 クロック信号ライン 559b の断線状態）が生じているか否かを判別可能となっている。

【0125】

次に、第 5 の実施形態の作用について説明する。

【0126】

< 第 1 クロック信号線と第 2 クロック信号線との間の短絡（ショート） >

上述したように、第 5 の実施形態においても、第 1 クロック信号線 71a（第 1 クロック信号ライン 559a）上において伝送される第 1 差動クロック信号（CLK+）と、第

10

20

30

40

50

2クロック信号線71b(第2クロック信号ライン559b)において伝送される第2差動クロック信号(CLK-)とは、DCバイアスレベルが同じレベルに設定された、互いに位相差が反転したクロック信号である。

【0127】

今、第1クロック信号線71aにおける第1クロック信号ライン559aと、第2クロック信号線71bにおける第2クロック信号ライン559bとの間で短絡(ショート)が生じたとする(図7参照)。

【0128】

この場合、第1差動クロック信号(CLK+)と第2差動クロック信号(CLK-)とのDCバイアスレベルは同じレベルに設定されているため、例えば、第1クロック信号出力部64aおよび第2クロック信号出力部64bにおいて消費電流はほぼ変化しないこととなる。また、第1クロック信号ライン559aおよび第2クロック信号ライン559bにおいて、第1差動クロック信号(CLK+)および第2差動クロック信号(CLK-)共に、その振幅は消失、または、大幅に減衰した特性となる。

【0129】

このとき、第1バッファ558aおよび第2バッファ558bにおいては、入力する第1差動クロック信号(CLK+)および第2差動クロック信号(CLK-)が、いずれもコモンレベル付近に留まり続けるため、バッファ自体の貫通電流が大きくなる。

【0130】

これは換言すれば、第1バッファ558aおよび第2バッファ558bに供給されるVCCI/O経路の電流値が大きくなること意味する。

【0131】

本第5の実施形態においても、当該VCCI/O経路に挿入された電流検出器66(たとえばシャント抵抗166)およびFPGA61における電流検出回路61aにより、このVCCI/O経路に流れる電流値を測定・検出する。

【0132】

さらに、FPGA61に形成した前記「故障モード判別部」において、前記電流検出回路61a(電流検出部)において検出した前記電流値に基づいて、第1クロック信号ライン559a(第1クロック信号線71a)と第2クロック信号ライン559b(第2クロック信号線71b)との短絡(ショート)状態の発生の有無を判別する。

【0133】

<第1クロック信号線または第2クロック信号線における断線(オープン)>

今度は、第1クロック信号線71aにおける第1クロック信号ライン559a、または、第2クロック信号線71bにおける第2クロック信号ライン559bのいずれかのラインにおいて断線(オープン)が生じたとする(図7参照)。

【0134】

この場合、断線(オープン)が生じた側の第1バッファ558aまたは第2バッファ558bにおいて、入力が中間ノードまたは自己バイアス付近に留まり続けるため、やはり上記短絡の場合と同様に、断線が生じた側のバッファ自体の貫通電流が大きくなる。

【0135】

すなわち、上記同様に、第1バッファ558aまたは第2バッファ558bに供給されるVCCI/O経路の電流値が大きくなること意味する。

【0136】

そして、上記同様に、VCCI/O経路に挿入された電流検出器66(例えばシャント抵抗166)およびFPGA61における電流検出回路61aにより、このVCCI/O経路に流れる電流値を測定・検出する。

【0137】

さらに、FPGA61に形成した前記「故障モード判別部」において、前記電流検出回路61a(電流検出部)において検出した前記電流値に基づいて、第1クロック信号ライン559a(第1クロック信号線71a)または第2クロック信号ライン559b(第2

10

20

30

40

50

クロック信号線 7 1 b) における断線 (オープン) 状態の発生の有無を判別する。

【 0 1 3 8 】

上述したように、第 5 の実施形態によると、第 1 の実施形態と同様に、第 1、第 2 クロック信号線 7 1 a、7 1 b (第 1、第 2 クロック信号ライン 5 5 9 a、5 5 9 b) 上を伝送する差動クロック信号 (第 1 差動クロック信号 (C L K +) または第 2 差動クロック信号 (C L K -)) について直接モニタするのでなく、当該差動クロック信号の入力部である第 1 バッファ 5 5 8 a、第 2 バッファ 5 5 8 を駆動する電力の供給ライン (V C C I / O) の電流値を検出することにより、信号処理装置 (ビデオプロセッサ 3) から内視鏡 2 の撮像素子 2 1 に伝送する差動クロック信号の故障 (短絡 (ショート) または断線 (オープン)) を的確に検出することができる。

10

【 0 1 3 9 】

< 第 6 の実施形態 >

次に、本発明の第 6 の実施形態について説明する。

【 0 1 4 0 】

図 8 は、本発明の第 6 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【 0 1 4 1 】

本第 6 の実施形態の内視鏡システムは、その基本的な構成は第 1 の実施形態と同様であり、クロック入力部 5 8 の構成を異にするものである。

【 0 1 4 2 】

20

したがって、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【 0 1 4 3 】

上述したように、第 1 の実施形態の内視鏡システム 1 において前記クロック入力部 5 8 は、撮像素子 2 1 の内部に設けられる構成とした。これに対して第 6 の実施形態の内視鏡システム 6 0 1 においては、まず、図 8 に示すように、撮像素子 6 2 1 に供給されるクロックを入力するクロック入力部 6 5 8 が、撮像素子 6 2 1 の外部に配設される。

【 0 1 4 4 】

すなわち、第 6 の実施形態の内視鏡システム 6 0 1 は、内視鏡 6 0 2 における先端部 7 に、撮像基板 6 2 0 を配設する。そしてこの撮像基板 6 2 0 に、前記撮像素子 6 2 1 と、当該撮像素子 6 2 1 の入力クロック部であるクロック入力部 6 5 8 と、が配設されるようになっている。

30

【 0 1 4 5 】

以下、本第 6 の実施形態におけるクロック入力部 6 5 8 について詳しく説明する。

【 0 1 4 6 】

第 6 の実施形態において前記クロック入力部 6 5 8 は、前記第 1 クロック信号線 7 1 a が接続される第 1 バッファ 6 5 8 a と、前記第 2 クロック信号線 7 1 b が接続される終端抵抗 6 5 8 b とを有する。

【 0 1 4 7 】

また、第 1 バッファ 6 5 8 a には、ビデオプロセッサ 3 から供給される各種電源経路のうち、I / O 系電源経路 V C C I / O を介して所定の電力 (電源電圧 V C C I / O) が供給されるようになっている。

40

【 0 1 4 8 】

なお、第 1 クロック信号線 7 1 a および第 2 クロック信号線 7 1 b は、撮像基板 6 2 0 内においては、それぞれ第 1 クロック信号ライン 6 5 9 a (C L K +)、第 2 クロック信号ライン 6 5 9 b (C L K -) として延設され、それぞれ第 1 バッファ 6 5 8 a と終端抵抗 6 5 8 b とに接続されるようになっている。

【 0 1 4 9 】

ここでクロック入力部 6 5 8 (第 1 バッファ 6 5 8 a および終端抵抗 6 5 8 b) は、第 1 の実施形態と同様に、ビデオプロセッサ 3 から伝送される 2 つの差動クロック信号を受

50

信するクロック受信部としての役目を果たす。

【0150】

なお、第6の実施形態の内視鏡システム601において、撮像素子621における、撮像部51、アナログアンプ部52、AD変換部53、デジタル処理部54、P/S変換部55、タイミングジェネレータ56およびPLL57等について、第1の実施形態と同様の構成、作用をなすので、ここでの詳しい説明は省略する。

【0151】

また、ビデオプロセッサ3についても、第1の実施形態と同様の構成、作用をなすのでここでの詳しい説明は省略するが、第6の実施形態においてもFPGA61における「故障モード判別部」は、まず、第1クロック信号線71aと第2クロック信号線71bとの間の短絡状態（または第1クロック信号ライン659aと第2クロック信号ライン659bとの間の短絡状態）が生じているか否かを判別可能となっている。

10

【0152】

さらに、第6の実施形態のFPGA61における「故障モード判別部」は、第1クロック信号線71aもしくは第2クロック信号線71bにおける断線状態（または第1クロック信号ライン659aもしくは第2クロック信号ライン659bの断線状態）が生じているか否かを判別可能となっている。

【0153】

次に、第6の実施形態の作用について説明する。

【0154】

<第1クロック信号線と第2クロック信号線との間の短絡（ショート）>

上述したように、第6の実施形態においても、第1クロック信号線71a（第1クロック信号ライン659a）上において伝送される第1差動クロック信号（CLK+）と、第2クロック信号線71b（第2クロック信号ライン659b）において伝送される第2差動クロック信号（CLK-）とは、DCバイアスレベルが同じレベルに設定された、互いに位相差が反転したクロック信号である。

20

【0155】

今、第1クロック信号線71aにおける第1クロック信号ライン659aと、第2クロック信号線71bにおける第2クロック信号ライン659bとの間で短絡（ショート）が生じたとする（図8参照）。

30

【0156】

この場合、第1差動クロック信号（CLK+）と第2差動クロック信号（CLK-）とのDCバイアスレベルは同じレベルに設定されているため、例えば、第1クロック信号出力部64aおよび第2クロック信号出力部64bにおいて消費電流はほぼ変化しないこととなる。また、第1クロック信号ライン659aおよび第2クロック信号ライン659bにおいて、第1差動クロック信号（CLK+）および第2差動クロック信号（CLK-）共に、その振幅は消失、または、大幅に減衰した特性となる。

【0157】

このとき、第1バッファ658aにおいては、入力する第1差動クロック信号（CLK+）がコモンレベル付近に留まり続けるため、バッファ自体の貫通電流が大きくなる。

40

【0158】

これは換言すれば、第1バッファ658aに供給されるVCCI/O経路の電流値が大きくなることを意味する。

【0159】

本第6の実施形態においても、当該VCCI/O経路に挿入された電流検出器66（たとえばシャント抵抗166）およびFPGA61における電流検出回路61aにより、このVCCI/O経路に流れる電流値を測定・検出する。

【0160】

さらに、第6の実施形態においても、FPGA61に形成した前記「故障モード判別部」において、前記電流検出回路61a（電流検出部）において検出した前記電流値に基づ

50

いて、第 1 クロック信号ライン 6 5 9 a (第 1 クロック信号線 7 1 a) と第 2 クロック信号ライン 6 5 9 b (第 2 クロック信号線 7 1 b) との短絡 (ショート) 状態の発生の有無を判別する。

【 0 1 6 1 】

< 第 1 クロック信号線または第 2 クロック信号線における断線 (オープン) >

今度は、第 1 クロック信号線 7 1 a における第 1 クロック信号ライン 6 5 9 a、または、第 2 クロック信号線 7 1 b における第 2 クロック信号ライン 6 5 9 b のいずれかのラインにおいて断線 (オープン) が生じたとする (図 8 参照)。

【 0 1 6 2 】

この場合、第 1 バッファ 6 5 8 a において、入力が中間ノードまたは自己バイアス付近に留まり続けるため、やはり上記短絡の場合と同様に、第 1 バッファ 6 5 8 a 自体の貫通電流が大きくなる。

【 0 1 6 3 】

すなわち、上記同様に、第 1 バッファ 6 5 8 a に供給される V C C I / O 経路の電流値が大きくなること意味する。

【 0 1 6 4 】

そして、上記同様に、V C C I / O 経路に挿入された電流検出器 6 6 (例えばシャント抵抗 1 6 6) および F P G A 6 1 における電流検出回路 6 1 a により、この V C C I / O 経路に流れる電流値を測定・検出する。

【 0 1 6 5 】

さらに、F P G A 6 1 に形成した前記「故障モード判別部」において、前記電流検出回路 6 1 a (電流検出部) において検出した前記電流値に基づいて、第 1 クロック信号ライン 6 5 9 a (第 1 クロック信号線 7 1 a) または第 2 クロック信号ライン 6 5 9 b (第 2 クロック信号線 7 1 b) における断線 (オープン) 状態の発生の有無を判別する。

【 0 1 6 6 】

上述したように、第 6 の実施形態によると、第 1 の実施形態と同様に、第 1、第 2 クロック信号線 7 1 a、7 1 b (第 1、第 2 クロック信号ライン 6 5 9 a、6 5 9 b) 上を伝送する差動クロック信号 (第 1 差動クロック信号 (C L K +) または第 2 差動クロック信号 (C L K -)) について直接モニタするのではなく、当該差動クロック信号の入力部である第 1 バッファ 6 5 8 a を駆動する電力の供給ライン (V C C I / O) の電流値を検出することにより、信号処理装置 (ビデオプロセッサ 3) から内視鏡 2 の撮像素子 2 1 に伝送する差動クロック信号の故障 (短絡 (ショート) または断線 (オープン)) を的確に検出することができる。

【 0 1 6 7 】

< 第 7 の実施形態 >

次に、本発明の第 7 の実施形態について説明する。

【 0 1 6 8 】

図 9 は、本発明の第 7 の実施形態の内視鏡システムにおける内視鏡およびビデオプロセッサの電氣的な構成を示すブロック図である。

【 0 1 6 9 】

本第 7 の実施形態の内視鏡システムは、その基本的な構成は第 1 の実施形態と同様であり、クロック入力部 5 8 の構成を異にするものである。

【 0 1 7 0 】

したがって、ここでは第 1 の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【 0 1 7 1 】

上述したように、第 1 の実施形態の内視鏡システム 1 において前記クロック入力部 5 8 は、撮像素子 2 1 の内部に設けられる構成とした。これに対して第 7 の実施形態の内視鏡システム 7 0 1 においては、図 9 に示すように、撮像素子 7 2 1 に供給されるクロックの入力部であるクロック入力部 7 5 8 が、撮像素子 7 2 1 の外部に配設される。

【 0 1 7 2 】

すなわち、第 7 の実施形態の内視鏡システム 7 0 1 は、内視鏡 7 0 2 における先端部 7 に、撮像素子 7 2 0 を配設する。そしてこの撮像素子 7 2 0 に、前記撮像素子 7 2 1 と、当該撮像素子 7 2 1 の入力クロック部であるクロック入力部 7 5 8 と、が配設されるようになっている。

【 0 1 7 3 】

以下、本第 7 の実施形態におけるクロック入力部 5 5 8 について詳しく説明する。

【 0 1 7 4 】

第 7 の実施形態において前記クロック入力部 7 5 8 は、前記第 1 クロック信号線 7 1 a と前記第 2 クロック信号線 7 1 b とを入力する差動アンプ 7 5 8 a を有する。

10

【 0 1 7 5 】

第 7 の実施形態において前記差動アンプ 7 5 8 a には、ビデオプロセッサ 3 から供給される各種電源経路のうち、I/O 系電源経路 V C C I / O を介して所定の電力（電源電圧 V C C I / O ）が供給されるようになっている。

【 0 1 7 6 】

なお、第 1 クロック信号線 7 1 a および第 2 クロック信号線 7 1 b は、撮像素子 7 2 0 内においては、それぞれ第 1 クロック信号ライン 7 5 9 a (C L K +)、第 2 クロック信号ライン 7 5 9 b (C L K -) として延設され、それぞれ差動アンプ 7 5 8 a の入力端に接続されるようになっている。

【 0 1 7 7 】

20

また、差動アンプ 7 5 8 a の出力端は、撮像素子 7 2 1 における P L L 5 7 の入力端に接続され、当該差動アンプ 7 5 8 a の出力は P L L 5 7 に入力されるようになっている。

【 0 1 7 8 】

ここでクロック入力部 7 5 8 (差動アンプ 7 5 8 a) は、第 1 の実施形態と同様に、ビデオプロセッサ 3 から伝送される 2 つの差動クロック信号を受信するクロック受信部としての役目を果たす。

【 0 1 7 9 】

なお、第 7 の実施形態の内視鏡システム 7 0 1 において、撮像素子 7 2 1 における、撮像部 5 1、アナログアンプ部 5 2、A/D 変換部 5 3、デジタル処理部 5 4、P/S 変換部 5 5、タイミングジェネレータ 5 6 および P L L 5 7 等について、第 1 の実施形態と同様の構成、作用をなすので、ここでの詳しい説明は省略する。

30

【 0 1 8 0 】

また、ビデオプロセッサ 3 についても、第 1 の実施形態と同様の構成、作用をなすのでここでの詳しい説明は省略するが、第 7 の実施形態においても F P G A 6 1 における「故障モード判別部」は、まず、第 1 クロック信号線 7 1 a と第 2 クロック信号線 7 1 b との間の短絡状態（または第 1 クロック信号ライン 7 5 9 a と第 2 クロック信号ライン 7 5 9 b との間の短絡状態）が生じているか否かを判別可能となっている。

【 0 1 8 1 】

さらに、第 7 の実施形態において F P G A 6 1 における「故障モード判別部」は、第 1 クロック信号線 7 1 a もしくは第 2 クロック信号線 7 1 b における断線状態（または第 1 クロック信号ライン 7 5 9 a もしくは第 2 クロック信号ライン 7 5 9 b の断線状態）が生じているか否かを判別可能となっている。

40

【 0 1 8 2 】

次に、第 7 の実施形態の作用について説明する。

【 0 1 8 3 】

< 第 1 クロック信号線と第 2 クロック信号線との間の短絡（ショート） >

上述したように、第 7 の実施形態においても、第 1 クロック信号線 7 1 a (第 1 クロック信号ライン 7 5 9 a) 上において伝送される第 1 差動クロック信号 (C L K +) と、第 2 クロック信号線 7 1 b (第 2 クロック信号ライン 7 5 9 b) において伝送される第 2 差動クロック信号 (C L K -) とは、D C バイアスレベルが同じレベルに設定された、互い

50

に位相差が反転したクロック信号である。

【 0 1 8 4 】

今、第 1 クロック信号線 7 1 a における第 1 クロック信号ライン 7 5 9 a と、第 2 クロック信号線 7 1 b における第 2 クロック信号ライン 7 5 9 b との間で短絡（ショート）が生じたとする（図 9 参照）。

【 0 1 8 5 】

この場合、第 1 差動クロック信号（CLK+）と第 2 差動クロック信号（CLK-）との DC バイアスレベルは同じレベルに設定されているため、例えば、第 1 クロック信号出力部 6 4 a および第 2 クロック信号出力部 6 4 b において消費電流はほぼ変化しないこととなる。また、第 1 クロック信号ライン 7 5 9 a および第 2 クロック信号ライン 7 5 9 b において、第 1 差動クロック信号（CLK+）および第 2 差動クロック信号（CLK-）共に、その振幅は消失、または、大幅に減衰した特性となる。

10

【 0 1 8 6 】

このとき、差動アンプ 7 5 8 a においては、入力する第 1 差動クロック信号（CLK+）および第 2 差動クロック信号（CLK-）が、いずれもコモンレベル付近に留まり続けるため、アンプ（バッファ）自体の貫通電流が大きくなる。

【 0 1 8 7 】

これは換言すれば、差動アンプ 7 5 8 a に供給される VCCI/O 経路の電流値が大きくなることを意味する。

【 0 1 8 8 】

20

本第 7 の実施形態においても、当該 VCCI/O 経路に挿入された電流検出器 6 6（たとえばシャント抵抗 1 6 6）および FPG 6 1 における電流検出回路 6 1 a により、この VCCI/O 経路に流れる電流値を測定・検出する。

【 0 1 8 9 】

さらに、FPG 6 1 に形成した前記「故障モード判別部」において、前記電流検出回路 6 1 a（電流検出部）において検出した前記電流値に基づいて、第 1 クロック信号ライン 7 5 9 a（第 1 クロック信号線 7 1 a）と第 2 クロック信号ライン 7 5 9 b（第 2 クロック信号線 7 1 b）との短絡（ショート）状態の発生の有無を判別する。

【 0 1 9 0 】

< 第 1 クロック信号線または第 2 クロック信号線における断線（オープン） >

30

今度は、第 1 クロック信号線 7 1 a における第 1 クロック信号ライン 7 5 9 a、または、第 2 クロック信号線 7 1 b における第 2 クロック信号ライン 7 5 9 b のいずれかのラインにおいて断線（オープン）が生じたとする（図 7 参照）。

【 0 1 9 1 】

この場合、差動アンプ 7 5 8 a において、いずれかの入力が中間ノードまたは自己バイアス付近に留まり続けるため、やはり上記短絡の場合と同様に、断線が生じた側の入力バッファ自体の貫通電流が大きくなる。

【 0 1 9 2 】

すなわち、上記同様に、差動アンプ 7 5 8 a に供給される VCCI/O 経路の電流値が大きくなることを意味する。

40

【 0 1 9 3 】

そして、上記同様に、VCCI/O 経路に挿入された電流検出器 6 6（例えばシャント抵抗 1 6 6）および FPG 6 1 における電流検出回路 6 1 a により、この VCCI/O 経路に流れる電流値を測定・検出する。

【 0 1 9 4 】

さらに、FPG 6 1 に形成した前記「故障モード判別部」において、前記電流検出回路 6 1 a（電流検出部）において検出した前記電流値に基づいて、第 1 クロック信号ライン 7 5 9 a（第 1 クロック信号線 7 1 a）または第 2 クロック信号ライン 7 5 9 b（第 2 クロック信号線 7 1 b）における断線（オープン）状態の発生の有無を判別する。

【 0 1 9 5 】

50

上述したように、第 7 の実施形態によると、第 1 の実施形態と同様に、第 1、第 2 クロック信号線 7 1 a、7 1 b (第 1、第 2 クロック信号ライン 7 5 9 a、7 5 9 b) 上を伝送する差動クロック信号 (第 1 差動クロック信号 (CLK+) または第 2 差動クロック信号 (CLK-)) について直接モニタするのでなく、当該差動クロック信号の入力部である差動アンプ 7 5 8 a を駆動する電力の供給ライン (VCCI/O) の電流値を検出することにより、信号処理装置 (ビデオプロセッサ 3) から内視鏡 2 の撮像素子 2 1 に伝送する差動クロック信号の故障 (短絡 (ショート) または断線 (オープン)) を的確に検出することができる。

【0196】

なお、上述した実施形態において、FPGA 6 1 は、ビデオプロセッサ 3 に配設するものとしたが、これに限らず、内視鏡におけるコネクタ回路 2 2 内に設けてもよい。

10

【0197】

本発明によれば、撮像素子に供給するクロック信号の伝送路における故障状態を、クロック信号の伝送路を直接測定することなく検出することができる内視鏡システムおよび信号処理装置を提供することができる。

【0198】

本発明は、上述した実施形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【0199】

本出願は、2016 年 8 月 2 日に日本国に出願された特願 2016 - 152260 号を優先権主張の基礎として出願するものであり、上記の開示内容は、本願明細書、請求の範囲に引用されるものとする。

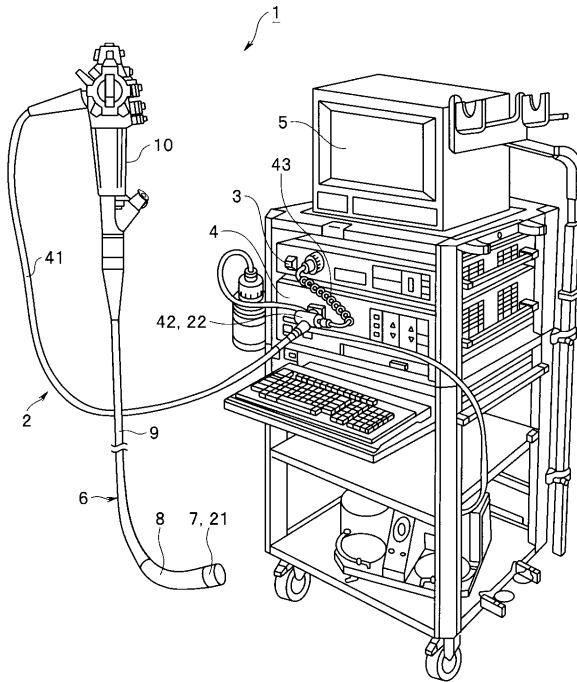
20

【要約】

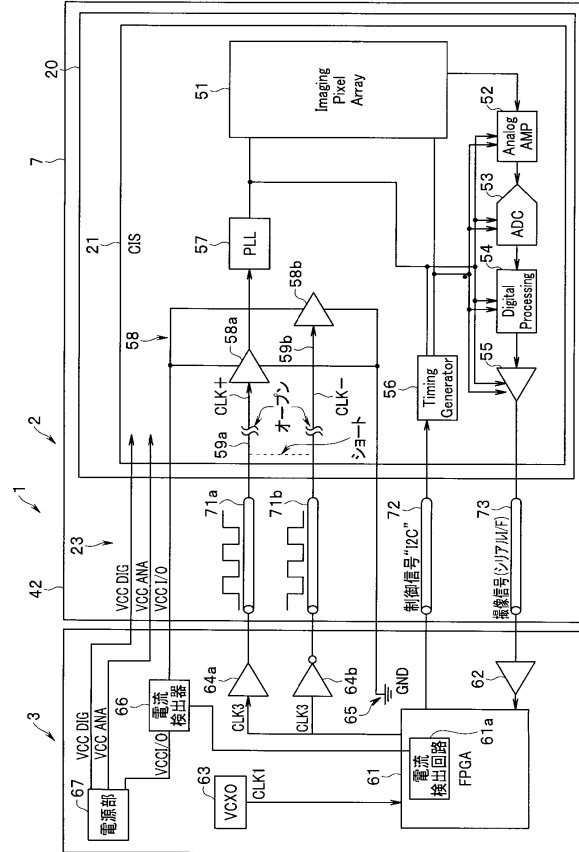
内視鏡 2 は、第 1 クロック信号線 7 1 a (5 9 a) と第 2 クロック信号線 7 1 b (5 9 b) とを内設するケーブル 2 3 と、撮像素子 2 1 に供給するクロックの差動クロック信号受信部 5 8 a、5 8 b と、を有し、ビデオプロセッサ 3 は、差動クロック信号受信部 5 8 a、5 8 b 用の VCCI/O に挿入された電流検出器 6 6 と、位相差が互いに反転する 2 つ差動クロック信号に変換して出力する差動信号出力部と、電流検出器 6 6 において検出した電流値に基づいて、第 1 クロック信号線 7 1 a (5 9 a) と第 2 クロック信号線 7 1 b (5 9 b) の短絡または断線を判別する FPGA 6 1 と、有する。

30

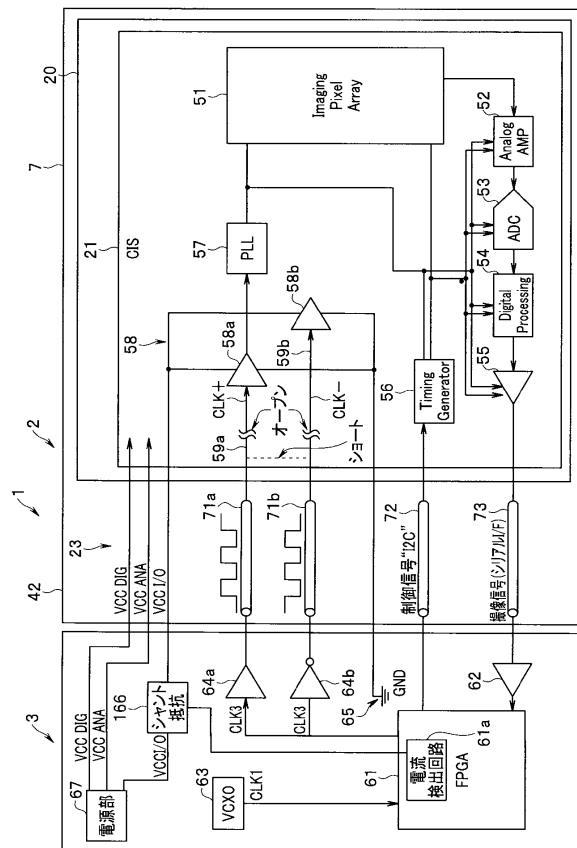
【図 1】



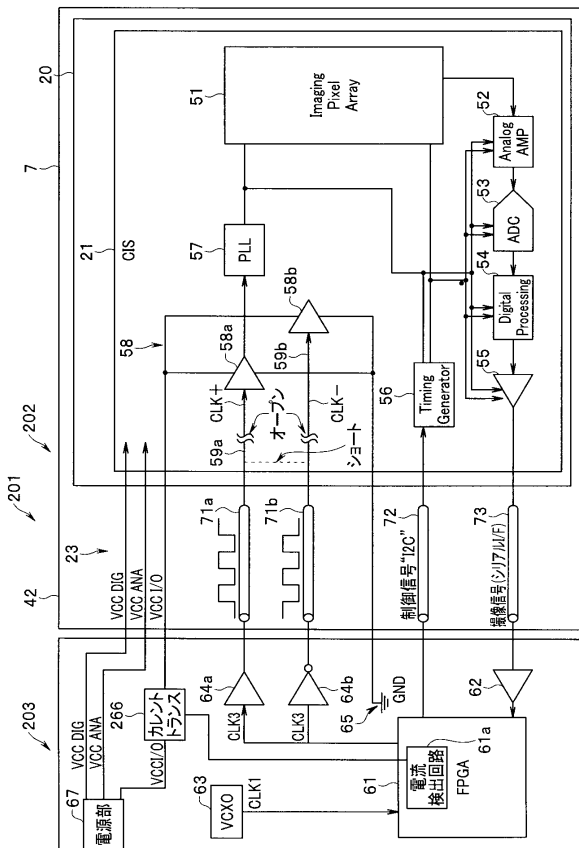
【図 2】



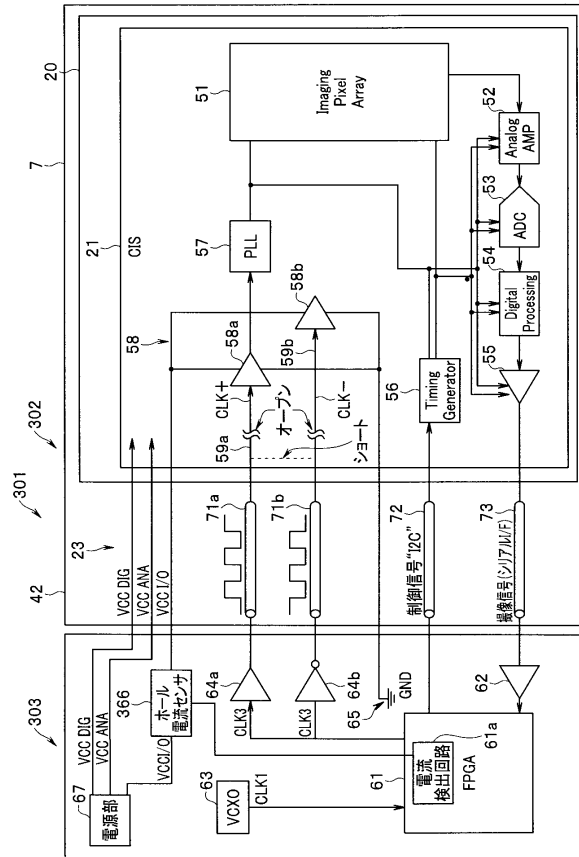
【図 3】



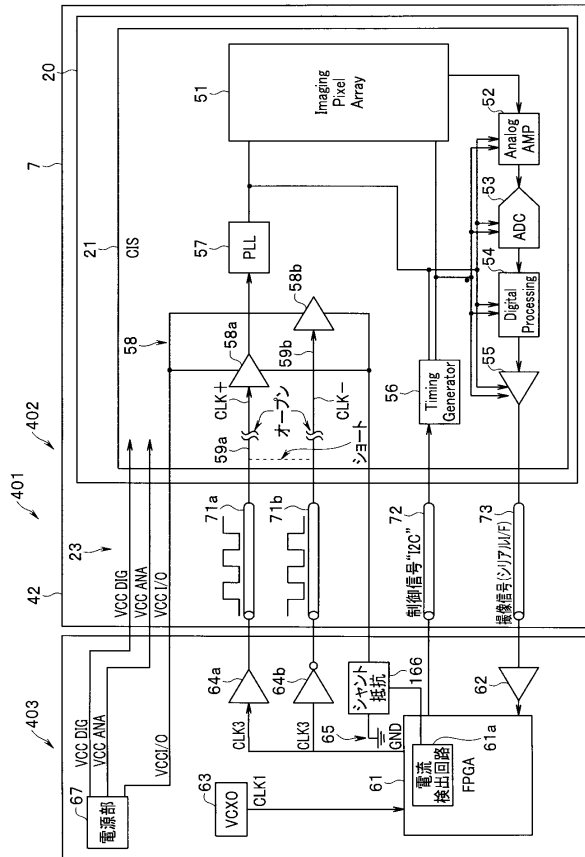
【図 4】



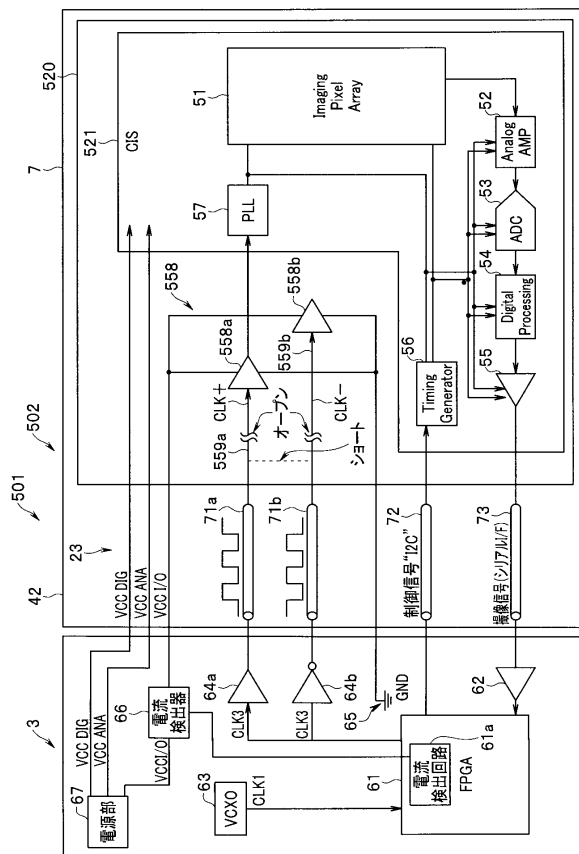
【図 5】



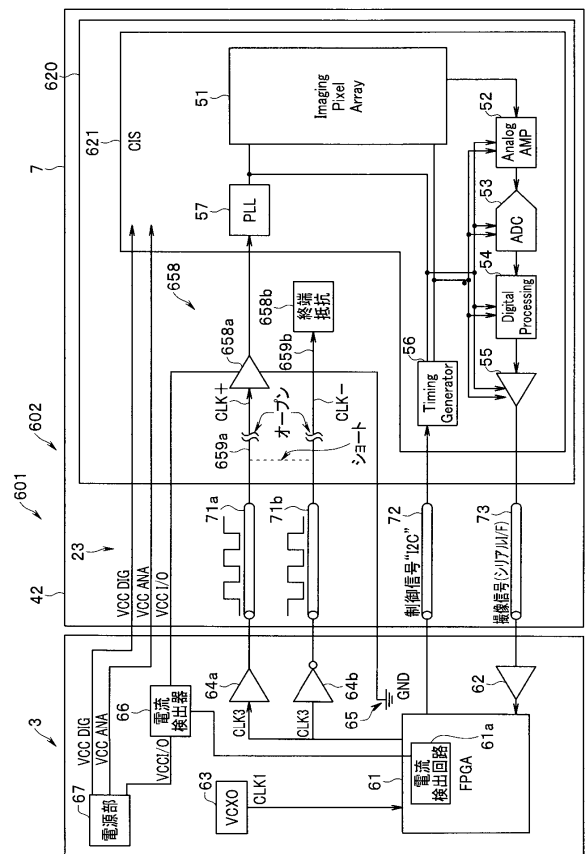
【図 6】



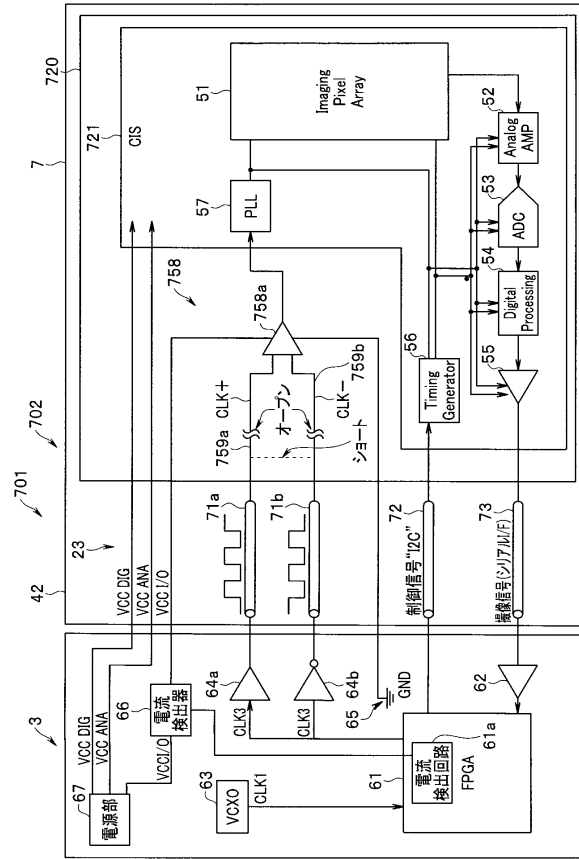
【図 7】



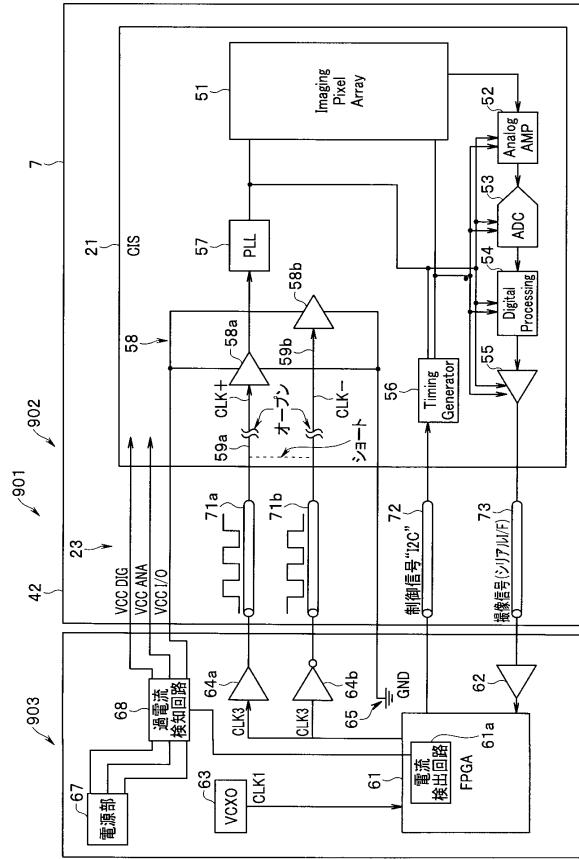
【図 8】



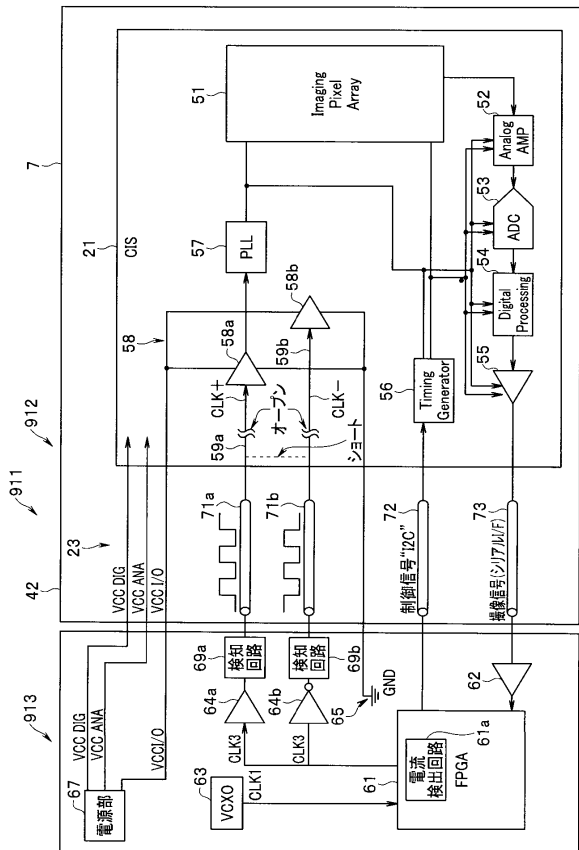
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開 2 0 0 9 - 4 5 1 1 3 (J P , A)
特開 2 0 0 9 - 2 0 1 5 4 1 (J P , A)
米国特許出願公開第 2 0 0 5 / 0 1 1 9 5 2 7 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
A 6 1 B 1 / 0 0 - 1 / 3 2
G 0 2 B 2 3 / 2 4 - 2 3 / 2 6
H 0 4 N 5 / 2 2 2 - 5 / 2 5 7

专利名称(译)	内窥镜系统和信号处理装置		
公开(公告)号	JP6219012B1	公开(公告)日	2017-10-25
申请号	JP2017541734	申请日	2017-02-20
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	安達美志		
发明人	安達 美志		
IPC分类号	A61B1/00 G02B23/24 H04N5/225		
FI分类号	A61B1/00.680 G02B23/24.B H04N5/225		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
优先权	2016152260 2016-08-02 JP		
其他公开文献	JPWO2018025430A1		
外部链接	Espacenet		

摘要(译)

内窥镜2是安装有第一时钟信号线71a (59a) 和第二时钟信号线71b (59b) 的电缆23, 以及被提供给摄像装置21的时钟的差分时钟信号接收部58a。视频处理器3具有插入到VCCI / O中的, 用于差分时钟信号接收器58a和58b的电流检测器66, 以及两个相位差彼此反相的差分时钟信号。基于由电流检测器66和输出信号的差分信号输出部分检测到的电流值, 确定第一时钟信号线71a (59a) 和第二时钟信号线71b (59b) 是短路还是断开。它具有FPGA61。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B1)		(11) 特許番号 特許第6219012号 (P6219012)	
(45) 発行日 平成29年10月25日 (2017. 10. 25)		(24) 登録日 平成29年10月6日 (2017. 10. 6)			
(51) Int. Cl.		F 1			
A 6 1 B 1/00 (2006. 01)		A 6 1 B 1/00		6 8 0	
G 0 2 B 23/24 (2006. 01)		G 0 2 B 23/24		B	
H 0 4 N 5/225 (2006. 01)		H 0 4 N 5/225			
請求項の数 11 (全 25 頁)					
(21) 出願番号 特願2017-541734 (P2017-541734)		(73) 特許権者 000000376			
(86) (22) 出願日 平成29年2月20日 (2017. 2. 20)		オリンパス株式会社			
(86) 国際出願番号 PCT/JP2017/006179		東京都八王子市石川町2 9 5 1 番地			
審査請求日 平成29年8月7日 (2017. 8. 7)		(74) 代理人 100076233			
(31) 優先権主張番号 特願2016-152260 (P2016-152260)		弁理士 伊藤 進			
(32) 優先日 平成28年8月2日 (2016. 8. 2)		(74) 代理人 100101661			
(33) 優先権主張国 日本国 (JP)		弁理士 長谷川 清			
		(74) 代理人 100135932			
早期審査対象出願		(72) 発明者 安達 美志			
		東京都八王子市石川町2 9 5 1 番地 オリ			
		ンパス株式会社内			
		審査官 増淵 俊仁			
最終頁に続く					
(54) 【発明の名称】 内視鏡システムおよび信号処理装置					